

日本国特許庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 Date of Application:

2002年12月16日

出 願 番 号 Application Number:

特願2002-364047

[ST. 10/C] :

[J P 2 0 0 2 - 3 6 4 0 4 7]

出 願 人
Applicant(s):

セイコーエプソン株式会社



2003年 9月25日

特許庁長官 Commissioner, Japan Patent Office



【書類名】

特許願

【整理番号】

EP-0415001

【提出日】

平成14年12月16日

【あて先】

特許庁長官殿

【国際特許分類】

H01L 27/10

【発明者】

【住所又は居所】

長野県諏訪市大和3丁目3番5号 セイコーエプソン株

式会社内

【氏名】

金井 正博

【特許出願人】

【識別番号】

000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】

100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】

03-5397-0891

【選任した代理人】

【識別番号】

100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】

03-5397-0891

【選任した代理人】

【識別番号】

100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891



【手数料の表示】

【予納台帳番号】 039491

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【包括委任状番号】 9402500

【プルーフの要否】

要



【書類名】 明細書

【発明の名称】 不揮発性記憶装置

【特許請求の範囲】

【請求項1】 行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイと、

前記メモリセルに電圧を供給する電源回路と、 を有し、

前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース 領域及び前記ドレイン領域間のチャネル領域と、前記チャネル領域の上方に絶縁 体を介して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと 前記チャネル領域との間に形成された不揮発性メモリ素子とを有し、

前記電源回路はプリチャージ電圧供給部を含み、前記プリチャージ電圧供給部は、スタンバイ時に前記メモリセルアレイ内の全ワードゲートに印加されるプリチャージ電圧を供給することを特徴とする不揮発性半導体記憶装置。

【請求項2】 請求項1において、

前記複数のメモリセルの一部の選択メモリセルからデータを読み出すリード時に、前記メモリセルアレイ内のすべてのワードゲート電圧が、前記プリチャージ電圧に設定されることを特徴とする不揮発性記憶装置。

【請求項3】 請求項2において、

前記メモリセルアレイは、前記行方向に沿って延び、各行の前記複数のメモリセルの前記ワードゲートにそれぞれ共通接続された複数のワード線をさらに有し

前記スタンバイ時及び前記リード時には、前記複数のワード線の全てが前記プリチャージ電圧に設定されることを特徴とする不揮発性記憶装置。

【請求項4】 請求項3おいて、

前記メモリセルアレイは、前記行方向に沿って延び、各行の前記複数のメモリセルの前記セレクトゲートにそれぞれ共通接続された複数のセレクト線をさらに有し、



前記複数のセレクトゲートのうち、前記リード時に選択される選択メモリセルに接続された選択セレクトゲートに選択ゲート電圧を、非選択セレクトゲートに 非選択ゲート電圧を印加して、前記リード時に行選択を実施することを特徴とす る不揮発性半導体装置。

【請求項5】 請求項1乃至4のいずれかにおいて、

前記複数のメモリセルの一部の選択メモリセルに接続された選択ワード線に選択ワード電圧を印加して、前記選択メモリセルをプログラムするプログラム時に、前記複数のワード線のうちの非選択ワード線に接続されるすべてのワードゲート電圧が、前記プリチャージ電圧に設定されることを特徴とする不揮発性記憶装置。

【請求項6】 請求項1乃至5のいずれかにおいて、

前記メモリセルアレイは、消去単位毎に複数のブロックに分割され、前記複数のブロック中の少なくとも一つのブロックを選択してイレーズ動作を行う時に、残りの非選択ブロック中のすべての前記ワード線に、前記プリチャージ電圧を供給することを特徴とする不揮発性記憶装置。

【請求項7】 請求項1乃至6のいずれかにおいて、

前記プリチャージ電圧供給部は、電源電圧を前記プリチャージ電圧とすること を特徴とする不揮発性記憶装置。

【請求項8】 請求項1乃至7のいずれかにおいて、

前記複数のメモリセルの各々は、前記チャネル領域内に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有し、

前記セレクトゲートは前記第1の領域の上方に配置され、前記ワードゲートは 前記第2の領域上に前記不揮発性メモリ素子を介して配置されていることを特徴 とする不揮発性記憶装置。

【請求項9】 請求項1乃至7のいずれかにおいて、

前記複数のメモリセルの各々は、前記チャネル領域内に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有し、

前記ワードゲートは前記第1の領域上に前記不揮発性メモリ素子を介して配置され、前記セレクトゲートは前記第2の領域の上に配置されていることを特徴と

する不揮発性記憶装置。

【請求項10】 請求項1乃至9のいずれかにおいて、

前記不揮発性メモリ素子は、2つの酸化膜(O)の間に窒化膜(N)を有する ONO膜で形成されていることを特徴とする不揮発性記憶装置。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】

本発明は、ワードゲート及びセレクトゲートにより制御される不揮発性メモリ素子を備えた不揮発性半導体記憶装置に関する。

[0002]

【背景技術】

不揮発性半導体記憶装置の一例として、チャネルとゲートとの間のゲート絶縁膜が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS(Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate)型が知られている。

[0003]

MONOS型不揮発性半導体記憶装置として、1つのセレクトゲートと、1つのワードゲートにより制御される不揮発性メモリ素子(MONOSメモリ素子)を備えたMONOSフラッシュメモリセルが開示されている。(例えば、特許文献1、特許文献2及び特許文献3参照)

[0004]

【特許文献1】

特開平6-181319号公報

【特許文献2】

特開平11-74389号公報

【特許文献3】

米国特許第5408115号公報

[0005]

【発明が解決しようとする課題】

この種の不揮発性半導体記憶装置は、特にリード動作の高速化が要求される。 この際、例えばスタンバイ状態からリードに移行するには、ワードゲートの電圧 をスタンバイ時の 0 V から所定電圧まで充電させる必要がある。しかし、ワード ゲートは例えばポリシリコン等で形成されることがあり、充電に時間を要し、そ のためにリードサイクルタイムが長くなって、リード動作を高速化することがで きなかった。

[0006]

本発明は、高速読み出しが可能な不揮発性半導体記憶装置を提供することを目的とする。

[0007]

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、

行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイと、

前記メモリセルに電圧を供給する電源回路と、

を有し、

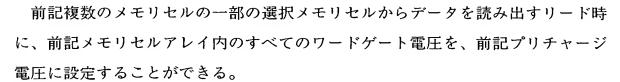
前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース 領域及び前記ドレイン領域間のチャネル領域と、前記チャネル領域と対向して配 置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャネル 領域との間に形成された不揮発性メモリ素子とを有し、

前記電源回路はプリチャージ電圧供給部を含み、前記プリチャージ電圧供給部は、スタンバイ時に前記メモリセルアレイ内の全ワードゲートに印加されるプリチャージ電圧を供給する。

[0008]

上記の発明によると、スタンバイ時には、ワードゲートへプリチャージ電圧があらかじめ供給されているので、ワードゲート電圧に充電するまでの時間を短縮できる。これにより、その後のリード時間の大幅な短縮が可能となる。ちなみに、本発明では、リード前はスタンバイになっている。

[0009]



[0010]

前記メモリセルアレイは、前記行方向に沿って延び、各行の前記複数のメモリセルの前記ワードゲートにそれぞれ共通接続された複数のワード線をさらに有することができる。

[0011]

前記スタンバイ時及び前記リード時には、前記複数のワード線の全てを前記プリチャージ電圧に設定することができる。

[0012]

前記メモリセルアレイは、前記行方向に沿って延び、各行の前記複数のメモリ ・セルの前記セレクトゲートにそれぞれ共通接続された複数のセレクト線をさらに 有することができる。

$[0\ 0\ 1\ 3]$

前記複数のセレクトゲートのうち、前記リード時に選択される選択メモリセルに接続された選択セレクトゲートに選択ゲート電圧を、非選択セレクトゲートに 非選択ゲート電圧を印加して、前記リード時に行選択を実施することができる。

$[0\ 0\ 1\ 4]$

前記複数のメモリセルの一部の選択メモリセルに接続された選択ワード線に選択ワード電圧を印加して、前記選択メモリセルをプログラムするプログラム時に、前記複数のワード線のうちの非選択ワード線に接続されるすべてのワードゲート電圧を、前記プリチャージ電圧に設定することができる。

[0015]

前記メモリセルアレイは、消去単位毎に複数のブロックに分割されることができる。前記複数のブロック中の少なくとも一つのブロックを選択してイレーズ動作を行う時に、残りの非選択ブロック中のすべての前記ワード線には、前記プリチャージ電圧が供給されることができる。

[0016]

前記プリチャージ電圧供給部は、電源電圧を前記プリチャージ電圧とすることができる。こうすると、スタンバイ後のリード時に、ワードゲート電圧を変更しなくてくすむので、リードアクセスタイムが短縮される。なお、リードアクセスタイムを短縮するには、プリチャージ電圧をリード時のワードゲート電圧に近い電圧に設定するものでもよい。

[0017]

前記メモリセルは、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有することができる。前記セレクトゲートを前記第1の領域の上に配置することができる。前記ワードゲートを、前記第2の領域上に前記不揮発性メモリを介して配置することができる。

[0018]

前記メモリセルは、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有することができる。前記ワードゲートを前記第1の領域上に前記不揮発性メモリを介して配置することもできる。前記セレクトゲートを前記第2の領域の上に配置することができる。

[0019]

前記不揮発性メモリ素子は、2つの酸化膜(O)の間に窒化膜(N)を有する ONO膜で形成することができる。

[0020]

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照して説明する。

[0021]

(全体構成とメモリセルの構造)

図1は、不揮発性記憶装置の全体ブロック図である。本実施形態のメモリセルアレイ4000は、データ消去単位を一ブロックとする複数のメモリブロック400に分割されている。各メモリブロック400は、ワード線ドライバ300を有する。各ワード線ドライバ300には、行方向Aに沿って延びる複数のワード線50が接続されている。各メモリブロック400には、列方向Bに沿って延びる複数のサブビット線60が設けられている。なお、同一縦列の複数のサブビッ

ト線(以下、ビット線とも言う)60は、図示していないが、ビット選択スイッチを介してメインビット線に接続されている。そして、このメインビット線に、図示しないビット線ドライバまたはセンスアンプが接続されるようになっている。また、図1では、セレクト線とそのドライバは省略されている。各メモリブロック400には、図2に示すメモリセル410が複数配置され、複数のメモリセル410の各々が、ワード線、ビット線及びセレクト線によって選択駆動される。

[0022]

電源回路100は、プリチャージ電圧供給部200の他各種電圧供給部を含み、外部の制御回路からの信号に応じて各ワード線ドライバ300等へ電圧供給線110を介して複数種の電圧を供給する。複数種の電圧は、複数の供給線によって供給されるが、そのうちの1本がプリチャージ電圧供給線となる。以下、電圧供給線110をプリチャージ電圧供給線として説明する。

[0023]

プリチャージ電圧供給部200が発生するプリチャージ電圧は、電源回路100からプリチャージ電圧供給線110によって各ワード線ドライバ300に供給される。

[0024]

ここで、選択されたメモリセル410 (選択メモリセルと呼ぶ)を有するメモリブロック400を選択ブロックと呼び、それ以外の複数のメモリブロック400を非選択ブロックと呼ぶ。

[0025]

図2は、メモリセル410の構成を示す断面図である。符号414は基板を表す。ソース・ドレイン領域(図2中のN+で示された拡散層)に挟まれたチャネル領域上にセレクトゲート411及びワードゲート412が絶縁体膜(例えばSi02)を介して配置されている。前記絶縁体膜は、窒化酸化膜でも形成することができる。また、ワードゲート412とチャネル領域との間にL字状にONO膜413が形成されている。L字状でなく、単にワードゲート412とチャネル領域との間に、ONO膜413を形成することも可能である。セレクトゲート411及び

ワードゲート412はポリシリコンで形成することができる。ONO膜413は、 窒化膜417 (例えばSiN) を酸化膜416 (例えばSiO2) で挟むようにして形成することができる。また、セレクトゲート411及びワードゲート412の表面には、シリサイド415を形成することができる。シリサイド415として、例えばCoシリサイドまたはTiシリサイドを使用することができる。これによりセレクトゲート411及びワードゲート412の負荷抵抗値を下げることができる

[0026]

図3は、本実施形態のメモリブロック400の一部を示した断面図である。図3によると、隣り合う2つのメモリセル410は、各々のセレクトゲート411に挟まれたビットライン拡散層BLDを共用する。また、隣り合う2つのメモリセル410は、各々のワードゲート412に挟まれたソースライン拡散層SLDを共用する。図3の断面では、それぞれのビットライン拡散層BLDはビット線60に共通接続される。上記の構造とは別に、ビットライン拡散層BLDとソースライン拡散層SLDとは互いに入れ替えて構成することもできる。その構造については、本実施形態の変形例として後述する。

[0027]

図4は、図3を立体的に表した概略斜視図である。図4によると、素子分離部例えばSTI(Shallow-Trench-Isolation)によって、A方向にてビットライン拡散層BLDが素子分離されている。これにより、各々のビット線60を、行方向Aに沿って配列された複数のメモリセル410毎に、電気的に分離することができる。ワードゲート412は列方向Aに素子が連続して形成されているので、これをもってワード線50と兼用できるが、ワードゲート412に沿って金属配線を裏打ちし、その金属配線をワード線50としても良い。

[0028]

図5はメモリブロック400一つについての等価回路図である。符号SG0~3はセレクトゲートライン(セレクト線)を表し、WL0及び1はワード線50を表す。また、SL0及び1はソースラインを表す。以下の図において図5の符号と同符号のものは、図5の同符号のものと同様の意味を表す。図5によると、

ワード線WL0は、セレクトゲートラインSG0が接続されているセレクトゲート411に隣接する複数のワードゲート412を共通接続する共通接続線CL1と、セレクトゲートラインSG1が接続されているセレクトゲート411に隣接する複数のワードゲート412を共通接続する共通接続線CL2とを接続している。共通接続線CL1及び2をそれぞれ個別にワード線50とすることもできる。本実施形態では、ワード線WL0によって、共通接続線CL0及びCL1を1本のワード線50とすることで、ワード線ドライバ300のレイアウト面積を小さくする効果を奏することができる。ワード線WL1についても同様のことが言える。

[0029]

(動作説明)

以下に、本実施形態における動作をスタンバイ、リード、プログラム、イレーズの4つの動作に分けて説明する。なお、本実施形態では、ONO膜413内に、電荷がトラップされている状態をデータ"1"と定義し、電荷がトラップされていない状態をデータ"0"と定義する。つまり、ここでのプログラムは、選択メモリセルにデータ"1"を書き込む動作を表す。

[0030]

(スタンバイ)

プリチャージ電圧供給部200の働きにより、スタンバイ時は、メモリセルアレイ4000内のすべてのワード線50にプリチャージ電圧(電圧Vcc)が供給される(図5参照)。ソースラインSL0及び1とセレクトゲートラインSG0~3は、電圧(0V)に設定されている。本実施形態では、プリチャージ電圧は、電源電圧Vccに設定されている。このプリチャージ電圧は、リード時に使用される選択メモリセルに接続されているワード線50の電圧(以下、読み出し電圧と呼ぶ)に依存して決めることができる。本実施形態は、リード動作の高速化を図るものであるから、スタンバイ時のワード線電圧は、上述した読み出し電圧(本実施形態ではVcc)に近いか同一であると良い。例えば、リード時の選択メモリセルに接続されているワード線50が電圧(1.5V)に設定される場合は、プリチャージ電圧を電圧(1.5V)にすればよい。本実施形態では、読

み出し電圧を電源電圧(Vcc)とし、プリチャージ電圧を電圧値Vccに設定することで、プリチャージ電圧を生成するためのレギュレーター回路などの省略化を図っている。なお、プログラムまたはイレーズの動作のあとは、必ずスタンバイ状態と同様の状態に設定される。

[0031]

(リード)

図6Aは、選択ブロックにおけるリード状態を表した図である。点線で丸く囲まれたメモリセル410が、選択メモリセルである。すでにスタンバイ時にワード線WL0は電圧Vccにプリチャージされているので、セレクトゲートラインSG1を電圧Vcc(選択ゲート電圧と呼ぶ)にチャージアップすればよい。これにより、選択メモリセルのセレクトゲート411及びワードゲート412によって、選択メモリセルのビットライン拡散層BLD及びソースライン拡散層SLDの間にチャネルが形成される。この時、ビット線BL1は電圧Vsaにチャージアップされている。その他のビット線60は電圧(0V)に設定されている。本実施形態では、電圧Vsaは、1V程度である。よって、電圧(0V)に設定されたソースラインSL0ヘビット線BL1から電流が流れる。特にONO膜413に電荷がトラップされていない場合は、より多くの電流が選択メモリセルのチャネル領域を流れる。

[0032]

図7にONO膜413内の電荷の有無とソースライン拡散層SLD及びビットライン拡散層BLDの間に流れる電流IDSとの関係を示した。符号Vreadは、読み出し電圧を表す。図7によると、ONO膜413内に電荷がトラップされている場合、ワードゲート412とソースライン拡散層SLDとの間の閾値が高くなり、電圧Vreadでは、電流IDSがあまり流れない。ONO膜413内に電荷がトラップされていない場合は、ワードゲート412とソースライン拡散層SLDとの間の閾値が低くなり、電流IDSが多く流れる。この電流IDSの大小をセンスアンプ(図示せず)で読みとることで、選択メモリセルに保持されているデータを区別する。

[0033]

以上のように、選択メモリセルのセレクトゲート411へ選択ゲート電圧を印加することで、リードを行っている。各ワードゲート412は素子負荷が大きいため、ワード線WL0を読み出し電圧にチャージアップするには、かなり時間を要する。本実施形態では、この時間が不要になるので、かなりのアクセス時間短縮が可能となる。なお、各セレクトゲート411は、各ワードゲート412に比べて、素子負荷は、かなり小さく、高速化の障害とはならない。

[0034]

以下の表1に、リード時の図6の電圧印加状態を示した。表1のセル内の数値 または、Vccは電圧値を表している。符号WLはワード線50を示、符号SG はセレクトゲートラインSGO~3を示す。符号SLはソースラインSLO及び 1を示す。また、符号BLはビット線60を示す。なお、以下の表2,表3にお いて、表1の符号と同符号のものは、表1の同符号のものと同じものを示す。

[0035]

【表1】

		選択ブロック	非選択ブロック	
		非選択メモリセル		選択メモリセル
リード	WL	Vсс	Vсс	Vсс
	SG	OV or V.cc	. Vcc	0 V
	SL	0 V	0 V	0 V
	BL	0 V	Vsa	0 V

[0036]

表1によると、符号SGの非選択メモリセルの欄には、0 or Vccとあるが、これは、セレクトゲートラインSG0~3のそれぞれが、複数のセレクトゲート411に共通接続しているためである。つまり、選択メモリセルのセレクトゲート411と共通接続されたセレクトゲート411を持つ非選択メモリのセレクトゲート411の電圧は、リード時では、電圧Vccになる。なお、セレクトゲートラインSG0~3の内、選択メモリセルのセレクトゲート411に接続されたものを選択セレクトゲートラインと呼び、それ以外を、非選択セレクトゲートラインと呼ぶ。さらに、非選択セレクトゲートラインに印加される電圧を非

選択ゲート電圧と呼ぶ。

[0037]

なお、本実施形態では、リバースリードを行っている。つまり、ソースライン拡散層 SLDとビットライン拡散層 BLDとにおいて、プログラム時は、ソースライン拡散層 SLDに高電圧を印加したのに対して、リード時は、ビットライン拡散層 BLDへ高電圧を印加している。リバースリードは、リード時の電流読み出しの精度を上げることができるが、読み出し方法としてフォワードリードを用いることも可能である。その場合、本実施形態でのソースライン拡散層 SLDとビットライン拡散層 BLDとのそれぞれに印加する電圧値が、お互い入れ替わることになる。

[0038]

図5は、非選択ブロックの電圧印加状態について示した図である。これは、表 1の非選択ブロックの欄に相当する。つまり、この状態は、スタンバイ時の状態 と全く同じである。プログラム時と、イレーズ時も同様に、非選択ブロックは、 スタンバイ時の状態と同じ状態である。

(プログラム)

図8にプログラム時の選択ブロックの電圧印加状態を示した。点線で丸く囲まれた部分が選択メモリセルである。選択メモリセルが接続されているワード線50を選択ワード線と呼ぶ。ワード線WL0は電圧(5.5V)にチャージアップされ、選択メモリセルに接続されたソースラインSL0(以下、選択ソースラインと呼ぶ)は電圧(5V)にチャージアップされる。選択メモリが接続されていないソースラインSL1(以下、非選択ソースラインと呼ぶ)は、電圧(0V)のままである。選択メモリセルに接続されたセレクトゲートラインSG1は、電圧(1V)にチャージアップされ、残りのセレクトゲートラインSG0、2及び3は電圧(0V)のままである。また、ワード線WL1も電圧Vccのままである。そして、選択メモリセルに接続されたビット線BL1(以下、選択ビット線と呼ぶ)は電圧(0V)にチャージアップされる。

[0039]

このとき、ビットライン拡散層BLDから電子が飛び出し、ソースライン拡散

層SLDとビットライン拡散層BLDとの間にチャネルが形成される。また、セレクトゲート411に電圧(1V)が印加されているので、ビットライン拡散層BLDから飛び出した電子がホットエレトクロンとなる。さらに、ワードゲート412には電圧(5.5V)が印加されているので、ホットエレクトロンは、ONO膜413にトラップされる。よって選択メモリセルにデータ"1"の書き込みが完了する。

[0040]

他のビット線BL0、2及び3は、電圧Vccに設定される。その結果、非選択メモリセルのワードゲート412からビット線60へ大きな電流が流れないので、非選択メモリセルのONO膜413に電荷がトラップされることがない。よって、選択メモリセルとおなじワード線50で共通接続されている非選択メモリセルのワードゲート412に電圧(5.5V)の電圧が印加されてもデータの誤書き込みが生じないようにできるのである。

[0041]

表2にプログラム時の図8の電圧印加状態を示した。

$[0\ 0\ 4\ 2]$

【表2】

		選択ブロッ	네 얼마 ~~	
		非選択メモリセル	選択メモリセル	- 非選択ブロック
	WL	5.5V or Vcc	5. 5 V	Vсс
プログラム	SG	0 V or 1 V	1 V	0 V
	SL	0	5 V	0 V
	ВL	Vсс	0	0 V

[0043]

符号WLの非選択メモリセルの欄に5.5V or Vccとあるが、これは、選択ワード線に接続されている非選択メモリセルと、選択ワード線に接続されていない非選択メモリセルがあるためである。符号SGの非選択メモリの欄にも、0V or 1Vとあるが、これは、選択セレクトゲートラインに接続されていない非選択メモいる非選択メモリと、選択セレクトゲートラインに接続されていない非選択メモ

りがあるためである。

[0044]

非選択ブロックについては、前述の通り、スタンバイ時の状態と同じである(図5参照)。

[0045]

(イレーズ)

図9にイレーズ時の選択ブロックの電圧印加状態を示した。点線の丸で囲まれた部分が選択メモリセルである。つまり、イレーズ時では、選択ブロック内のすべてのメモリセル410が選択メモリセルなのである。選択ワード線は、電圧(0V)に設定され、選択セレクトゲートラインは電圧(-3V)にチャージアップされる。また、ソースラインSL0及び1は電圧(5V)にチャージアップされ、選択ブロック内のすべてのビット線60は、電圧(0V)に設定される。これにより、ソースライン拡散層SLDとビットライン拡散層BLDの間にチャネル領域が形成される。ところが、選択ブロック内のメモリセル410の各ワードゲート412は電圧(-3V)にチャージアップされているので、各ワードゲート412は電圧(-3V)にチャージアップされているので、各ワードゲート412とソースライン拡散層SLDの間に電界が生じる。その結果で生じたホットホールにより、ONO膜413にトラップされていた電荷(電子)を消去できるのである。

[0046]

本実施形態では、ホットホールによってデータ消去を行ったが、FN(Fowler -Norheim)消去という手法を用いることもできる。これは、FNトネリングを用いたもので、ONO膜413に所定の電界(例えば電圧差15V)をかけると、ONO膜内の電荷(電子)はFNトネリングによってONO膜413の外部へ放出されるという原理である。

[0047]

非選択ブロックについては、前述の通り、スタンバイ時の状態と同じである(図5参照)。

[0048]

表3にイレーズ時の図9の電圧印加状態を示した。

[0049]

【表3】

	選択ブロック		-1+ '22+17'
		選択メモリセル	非選択ブロック
イレーズ	WL	- 3 V	Vсс
	SG	0 V	0 V
	SL	5 V	0 V
	BL	0 V	0 V

[0050]

(本実施形態と比較例との対比)

図10は、比較例のスタンバイ状態を示した図である。メモリセルアレイ4000内のすべてのワード線50、ビット線60、セレクトゲートラインSG0~3及びソースラインSL0及び1は、電圧(0V)に設定されている。また、比較例において、リード、プログラム及びイレーズ時の非選択ブロックは、スタンバイ状態と同じ電圧印加状態である。

[0051]

図11に比較例でのリード時の選択ブロックの電圧印加状態を示した。点線で丸く囲まれた部分が、選択メモリセルである。比較例では、リード時にワード線WL0を読み出し電圧Vccにチャージアップする。他のワード線WL1は、スタンバイ状態と同じ電圧(0V)のままである。ワードゲート412は素子負荷が大きく、読み出し電圧Vccまでチャージアップするには、一定の時間を要する。これは、アクセスタイムの増加に繋がり、アクセスタイム70n秒などが要求されるような記憶装置としては、利用できないものである。

[0052]

図12は比較例でのプログラム時の選択ブロックの電圧印加状態を示した図である。本実施形態との相違は、ワード線WL1の電圧である。

[0053]

図13は比較例でのイレーズ時の選択ブロックの電圧印加状態を示した図である。イレーズに限っては、本実施形態と同様の電圧印加状態である。

[0054]

5

図14は、選択メモリセルのデータを読み出すのに要する時間を、本実施形態と、比較例において、それぞれ示した波形図である。符号T1、T2は時間間隔を表す。図14によると、時間間隔T1は、比較例において、読み出し電圧印加時にワードゲート412が電圧Vccまで立ち上がるのに要する時間を示す。時間間隔T2は、セレクトゲート411に電圧を印加してから、電圧Vccまで立ち上がるのに要する時間を示す。本実施形態では、スタンバイ時にワードゲート412が電圧Vccにチャージアップされているので、リード期間中のワードゲート412の電圧は常に、電圧Vccである。つまり、読み出し電圧の印加に時間間隔T1を必要としていた比較例に対して、本実施形態では、時間間隔T2で読み出し電圧の印加が完了するのである。時間間隔T1とT2の差だけ、アクセス時間の短縮ができる。

[0055]

以上のことから、本実施形態では、特にリード時のアクセスタイムを大幅に短縮できる。また、プログラム時はプリチャージ以上の電圧にチャージアップする必要があるが、プリチャージ効果によるアクセスタイム短縮が可能である。

[0056]

本実施形態では、リードにおいて、およそ100n秒の短縮が可能である。これにより、アクセスタイム70n秒が要求される記憶装置に、本実施形態は利用できる。

[0057]

(本実施形態の変形例)

図15に本実施形態の変形例を示した。本実施形態との相違は、メモリセル410の構造である。図15によると、ワードゲート412は、ビットライン拡散層BLD側に配置され、セレクトゲート411はソースライン拡散層SLD側に配置されている。また、ONO膜413は、ソースライン拡散層SLDとビットライン拡散層BLDとの間に形成されるチャネル領域上にワードゲート412に挟まれるように配置されている。

[0058]

以下に、スタンバイ、リード、プログラム及びイレーズの各動作について、電 圧印加状態を説明する。

[0059]

スタンバイ時は、本実施形態のスタンバイ時と同じ電圧印加状態である。

[0060]

リード、プログラム及びイレーズの各動作時の非選択ブロックにおいても、本 実施形態のスタンバイ時の電圧印加状態と同じである。

[0061]

リード時の選択ブロック内では、選択ソースラインに電圧Vsaが印加され、 非選択ソースラインは、電圧(0V)のままである。また、ビット線60は、す べて電圧(0V)のままである。ワード線50はすべて、本実施形態と同様に電 圧Vccにプリチャージされている。選択セレクトゲートラインも本実施形態と 同様に電圧Vccにチャージアップされる。

[0062]

プログラム時の選択ブロック内では、選択ソースラインには電圧(0V)が印加され、非選択ソースラインには電圧Vccが印加される。また、選択ビット線には電圧(5V)が印加され、選択ビット線以外のビット線60は電圧(0V)のままである。選択ワード線は電圧(5.5V)にチャージアップされ、選択ワード線以外のワード線50はスタンバイ状態と同じ電圧Vccのままである。選択セレクトゲートラインには、電圧(1V)が印加され、非選択セレクトゲートラインは、スタンバイ状態と同じ電圧(0V)のままである。

[0063]

イレーズ時の選択ブロック内では、スタンバイ状態の電圧印加状態から、ワード線50すべてに電圧(-3V)が印加され、ビット線60すべてに電圧(5V)を印加される。

[0064]

本実施形態に比べて、変形例は構造の相違や電圧印加状態の相違を有するが、 効果は本実施形態と同様である。また、本実施形態と同様に変形例においても、 フォワードリードが可能である。



以上のようにして、本発明は高速アクセスが可能な不揮発性半導体記憶装置を 提供できる。

[0066]

なお、発明の詳細な説明中に記載された電圧値は、本実施形態の一例であって、素子や材料等の特性に応じた範囲に設定が可能である。さらに本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

る。

0

- 【図1】 本発明の一実施形態に係る全体ブロック図である。
- 【図2】 メモリセルの構造を示す断面図である。
- 【図3】 本発明の一実施形態に係るメモリブロックの断面図である。
- 【図4】 図3を詳細に示す概略斜視図である。
- 【図5】 メモリブロックのスタンバイ時の電圧印加状態を示す回路図である。
 - 【図6】 選択メモリブロックのリード時の電圧印加を示す回路図である。
 - 【図7】 ONO膜内の電荷とビット線に流れる電流の関係を示した図であ
- 【図8】 選択メモリブロックのプログラム時の電圧印加を示す回路図である。
 - 【図9】 選択メモリブロックのイレーズ時の電圧印加を示す回路図である
- 【図10】 比較例の選択メモリブロックのスタンバイ時を示した図である
 - 【図11】 比較例の選択メモリブロックのリード時を示した図である。
 - 【図12】 比較例の選択メモリブロックのプログラム時を示した図である
 - 【図13】 比較例の選択メモリブロックのイレーズ時を示した図である。
 - 【図14】 本発明の効果を示す電圧印加波形図である。

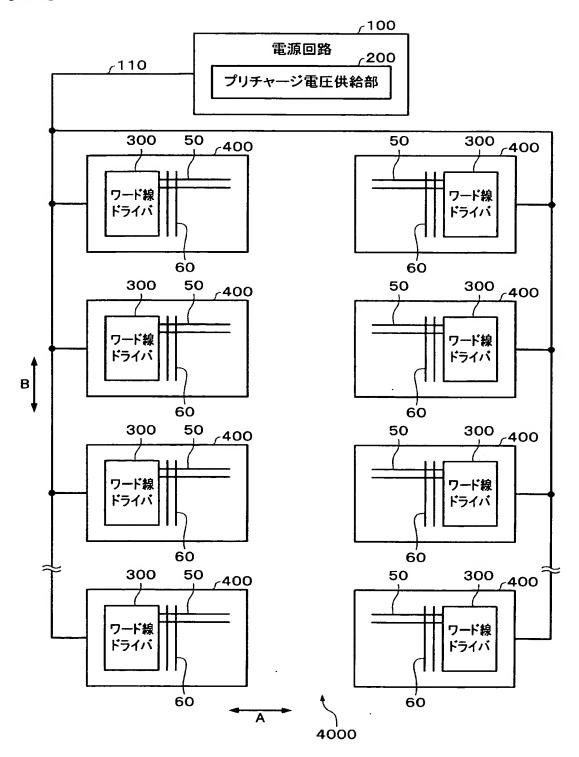
【図15】 変形例におけるメモリセルアレイの断面図である。

【符号の説明】

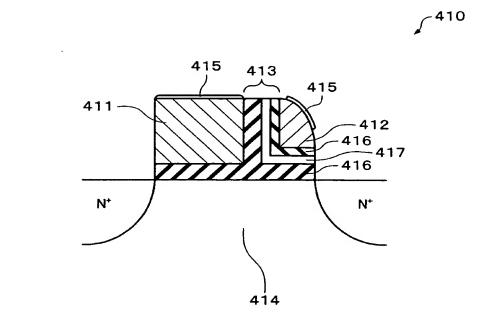
50 ワード線、 60 ビット線、 100 電源回路、 110 プリチャージ電圧供給線、 200 プリチャージ電圧供給部、 300 ワード線ドライバ、 400 メモリブロック、 4000 メモリセルアレイ

【書類名】 図面

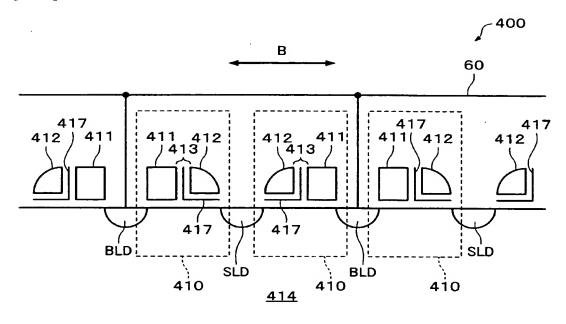
[図1]



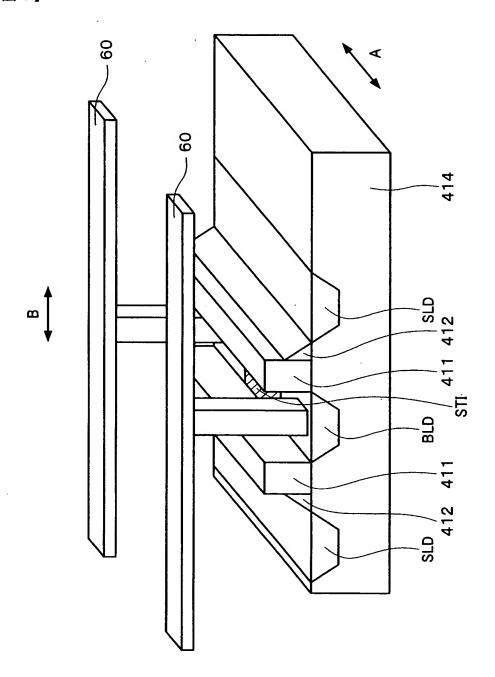
[図2]



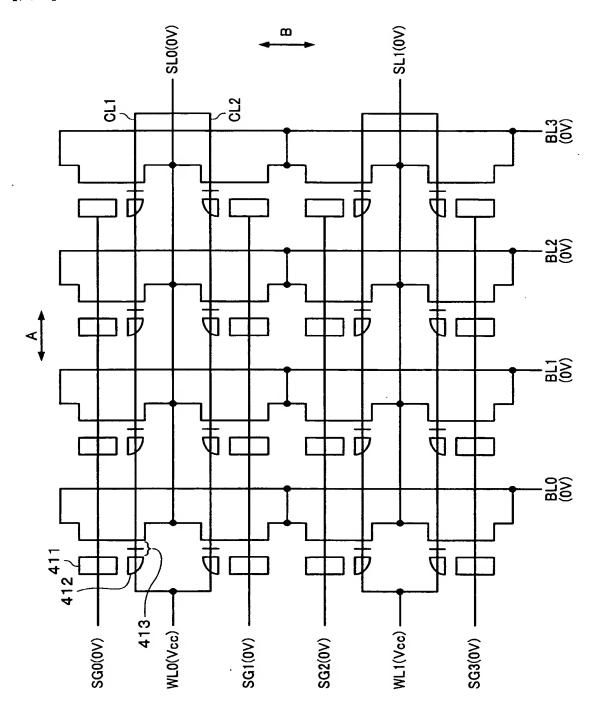
【図3】



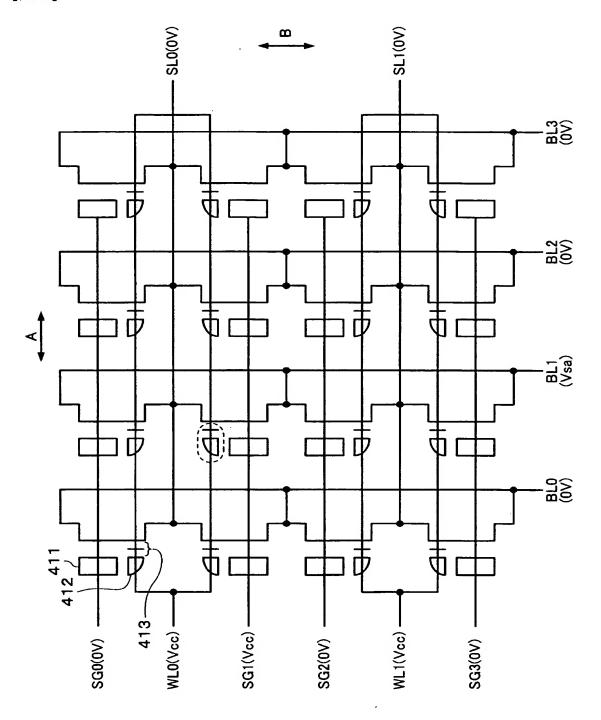
【図4】



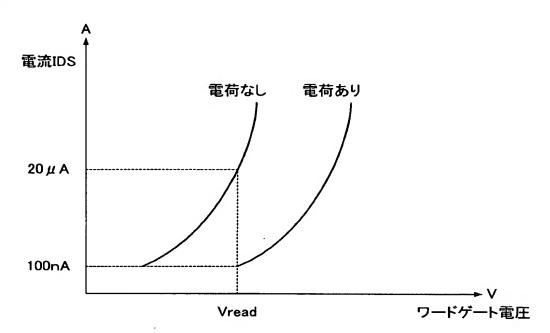
【図5】



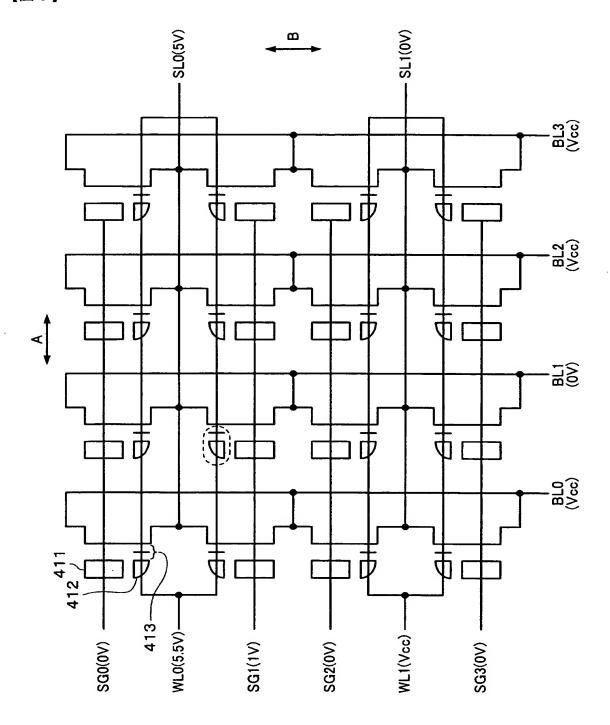
【図6】



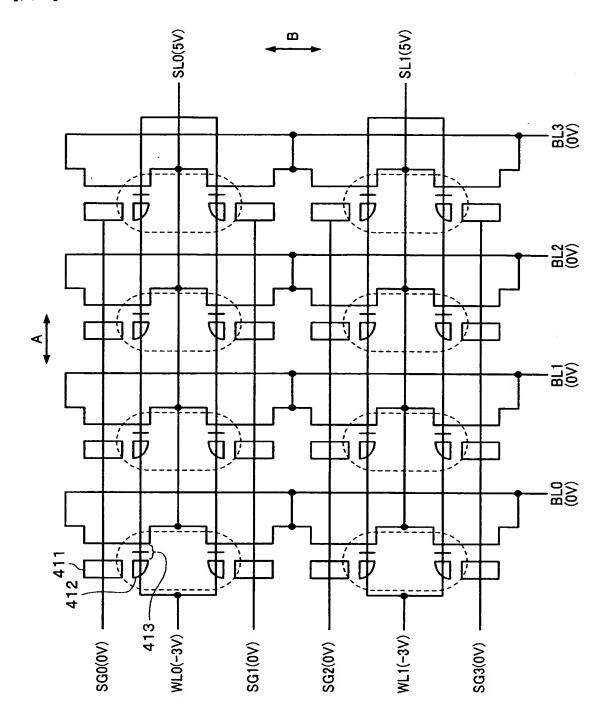
【図7】



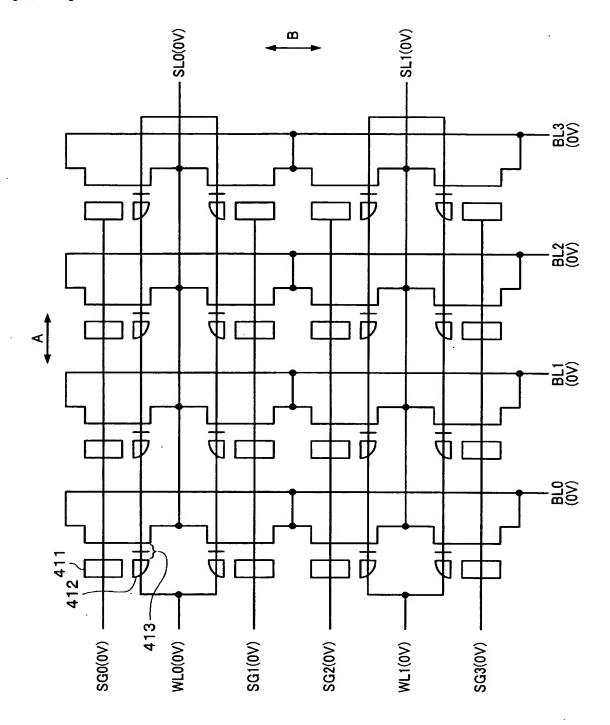
【図8】



【図9】

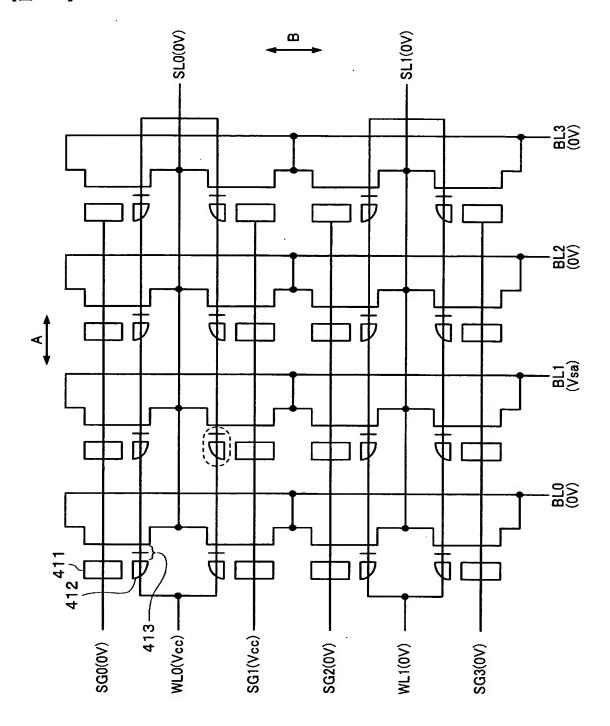


【図10】



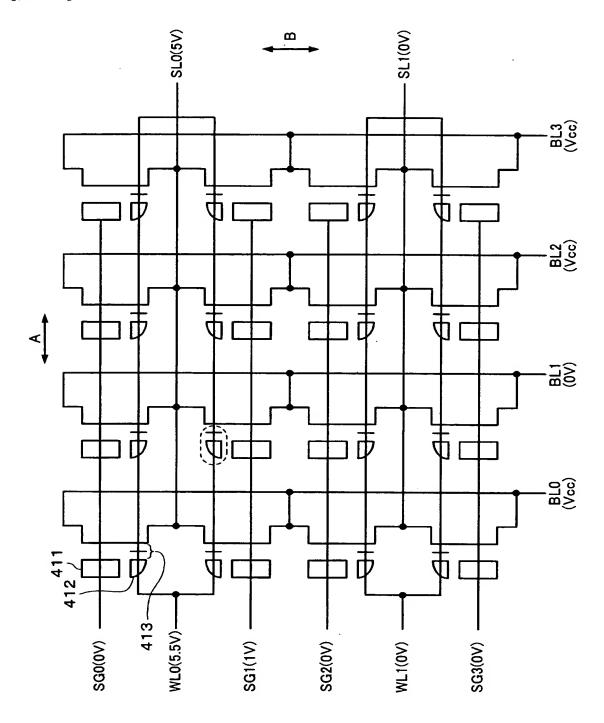


【図11】



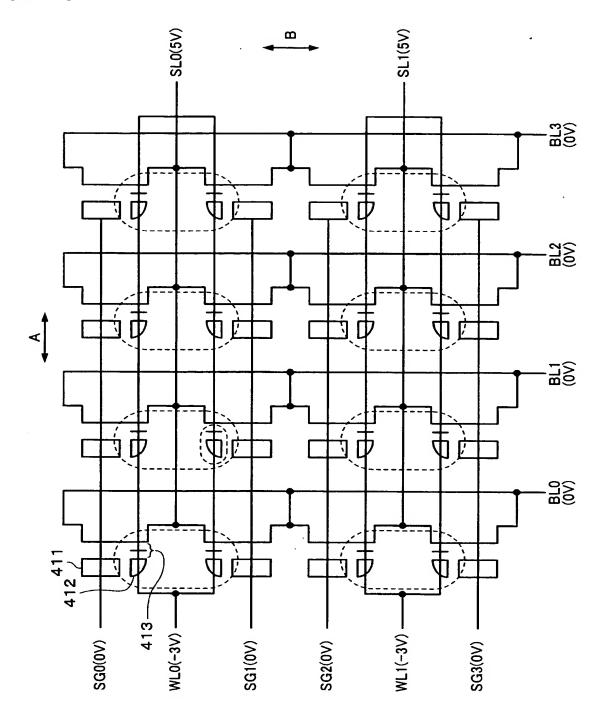


【図12】

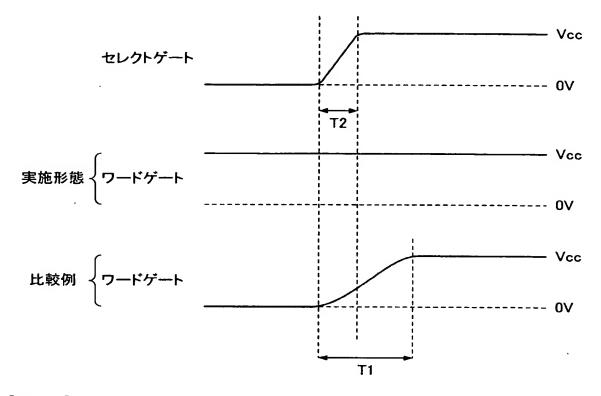




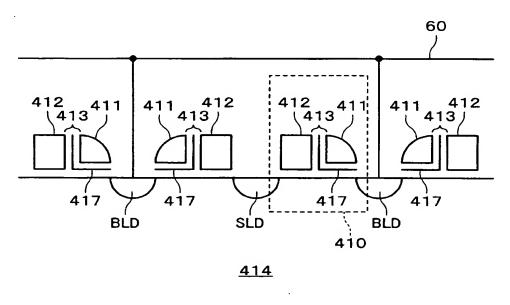
【図13】







【図15】





【書類名】

要約書

【要約】

【課題】 高速アクセスが可能な不揮発性半導体記憶装置を提供すること。

【解決手段】 行方向及び列方向に複数のメモリセル410が配設されて構成されたメモリセルアレイ4000と、プリチャージ電圧供給部200と、を有し、メモリセル410は、ソース領域と、ドレイン領域と、ソース領域及びドレイン領域間のチャネル領域と対向して配置されたワードゲート412及びセレクトゲート411と、ワードゲート412とチャネル領域との間に形成された不揮発性メモリ素子とを有し、プリチャージ電圧供給部200は、スタンバイ時にメモリセルアレイ4000内の全ワードゲート412にプリチャージ電圧を印加することを特徴とする不揮発性半導体記憶装置。

【選択図】

図 1

特願2002-364047

出願人履歴情報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社